

Ref 4

SEMICONDUCTOR DEVICE

Patent number: JP4352362
Publication date: 1992-12-07
Inventor: SHIMOJI NORIYUKI
Applicant: ROHM CO LTD
Classification:
- international: G11C16/02; H01L27/115; H01L29/78; H01L29/788; H01L29/792
- european: G11C16/04M; H01L27/115
Application number: JP19910155821 19910529
Priority number(s): JP19910155821 19910529

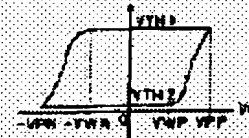
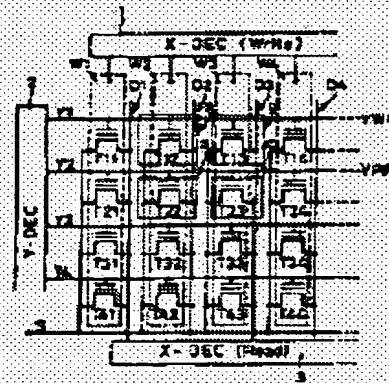
Also published as:

US5343423 (A)

Abstract of JP4352362

PURPOSE:To perform a write operation and an erase operation in each memory and to eliminate a need for a transistor for selection use by a method wherein a well is separated in such a way that memory transistors are arranged in a row and a memory cell can be selected from a matrix composed of wiring for gates and of wells.

CONSTITUTION:For example, when a write operation is executed to a memory cell 5, a ground potential is given to a well W2 and a programming voltage VPP is applied to gate control wiring Y2. A high electric field is generated between a gate electrode for a memory transistor T22 in the memory cell 5 and the well W2; a write state to the memory cell 5 is realized. On the other hand, a maximum voltage VWP within a range not causing a write operation is applied, via gate control wiring Y1, to a gate electrode for a memory cell 8 which shares the selected memory cell 5 and the well W2. As a result, a storage state is not caused. When the gate control wiring and the voltages for wells are selected in this manner, the selection and the nonselection of the memory cell can completely be performed.



Data supplied from the *esp@cenet* database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-352362

(43) 公開日 平成4年(1992)12月7日

(51) Int.Cl.⁵ 識別記号 庁内整理番号 F I 技術表示箇所

H 0 1 L 27/115

G 1 1 C 16/02

H 0 1 L 29/78

X 8422-4M

8831-4M

9191-5L

H 0 1 L 27/10

4 3 4

G 1 1 C 17/00

3 0 7 A

審査請求 未請求 請求項の数3(全5頁) 最終頁に続く

(21) 出願番号 特願平3-155821

(22) 出願日 平成3年(1991)5月29日

(71) 出願人 000116024

ローム株式会社

京都府京都市右京区西院清崎町21番地

(72) 発明者 下地 規之

京都市右京区西院清崎町21 ローム株式会
社内

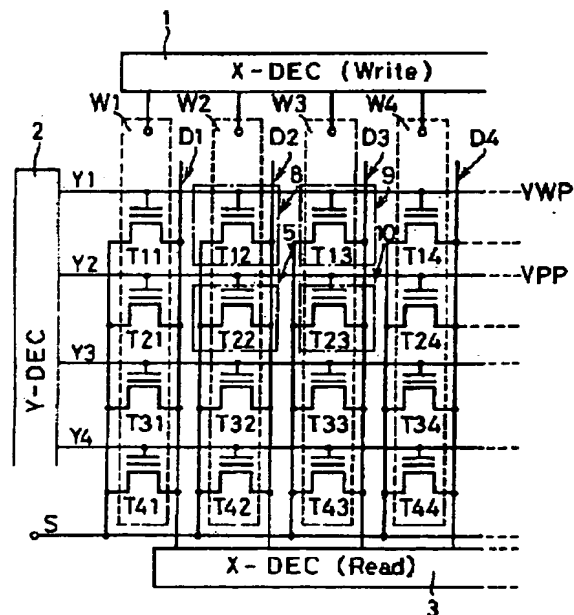
(74) 代理人 弁理士 佐野 静夫

(54) 【発明の名称】 半導体装置

(57) 【要約】

【目的】 トラップ型のメモリセルをマトリクス状に配してなる半導体装置において、選択用トランジスタを不要とした簡単な構成を実現する。

【構成】 メモリトランジスタが一行に並ぶようにウエルを分離する手段と、分離された各ウエルごとに電圧を印加する第1の電圧印加手段と、分離された各ウエルの同一行のメモリトランジスタのゲート電極を結ぶ複数の配線と、この複数の配線に対し各配線ごとに電圧を印加する第2の電圧印加手段と、を設けて情報の書き込みを第1、第2の電圧印加手段によって行い得るように構成した。



【特許請求の範囲】

【請求項１】トラップ型のメモリセルをマトリクス状に配してなる半導体装置において、メモリトランジスタが一行に並ぶようにウエルを分離する手段と、分離された各ウエルごとに電圧を印加する第１の電圧印加手段と、分離された各ウエルの同一行のメモリトランジスタのゲート電極を結ぶ複数の配線と、前記複数の配線に対し各配線ごとに電圧を印加する第２の電圧印加手段と、を備え、情報の書き込みを前記第１、第２の電圧印加手段によって行ない得るようにしたことを特徴とする半導体装置。

【請求項２】情報の消去も前記第１、第２電圧印加手段によって行なうようにしたことを特徴とする請求項１に記載の半導体装置。

【請求項3】情報の書き込み時に情報の書き込みを行なうべく選択されたメモリトランジスタを有するウエルには接地電位又は低電圧を印加するとともに該選択されたメモリトランジスタのゲート電極にはプログラム電圧VPPを印加し、前記メモリトランジスタとウエルを共通にする情報の書き込みを行なわない非選択のメモリトランジスタのゲート電極には情報の書き込みが行なわれない範囲内の高い電圧VWPを印加し、前記選択されたメモリトランジスタと上記配線の1つを共通にする非選択のメモリトランジスタのウエルには(VPP-VWP)以上の電圧を印加するようにしたことを特徴とする請求項1に記載の半導体装置。

【発明の詳細な説明】

[0 0 0 1]

【産業上の利用分野】本発明はMNOSやMONOS等の如きトラップ型の不揮発性メモリをマトリクス状に配した半導体装置に関するものである。

【0002】

【従来の技術】従来、このような半導体装置では基板（ウエル）は全メモリセルについて共通であり、1つのメモリトランジスタのゲートを選択すると、そのラインにつながっている他のメモリトランジスタが全て選択されてしまう。よって、非選択のメモリトランジスタに対しては書き込みを禁止するためビット線に電圧を印加するようにしており、そのビット線の電流の漏洩を防ぐためメモリトランジスタとは別に選択用トランジスタを設けていた。

【0003】図5、図6は斯る従来の半導体装置の回路構成を示している。図5は特開昭62-45182号に開示されているものと同じであり、図6は特開昭59-211281号に開示されているものと同じである。図5において、30はウエルであり、メモリセルM1、M2、M3、M4……全てに対し共通となっている。各メモリセルにはメモリトランジスタQm以外に選択用トランジスタQsが設けられている。図6においても、31、32で示している部分が全てのメモリM1～M3に

つながっている如くウエルは共通であり、各メモリセルにはメモリトランジスタ33と選択用トランジスタ34が設けられている。

【0004】

【発明が解決しようとする課題】 このように、従来のメモリ・マトリクスの半導体装置では各メモリセルにメモリトランジスタとは別に選択トランジスタを必要としているので、その分、各メモリセルは大きくなり、従って半導体装置全体が大型化していた。しかも選択用トランジスタに対する配線を施したり、電圧を与えたりするので、構成が複雑であった。本発明はこのような点に鑑み、なされたものであって、選択用トランジスタを不要とした簡単な構成の半導体装置を提供することを目的とする。

【0005】

【課題を解決するための手段】上記の目的を達成するため本発明では、トラップ型のメモリセルをマトリクス状に配してなる半導体装置において、メモリトランジスタが一行に並ぶようにウエルを分離する手段と、分離された各ウエルごとに電圧を印加する第1の電圧印加手段と、分離された各ウエルの同一行のメモリトランジスタのゲート電極を結ぶ複数の配線と、前記複数の配線に対し各配線ごとに電圧を印加する第2の電圧印加手段と、を備え、情報の書き込みを前記第1、第2の電圧印加手段によって行ない得るようにしている。

【0006】また、本発明の半導体装置では、情報の書き込み時に情報の書き込みを行なうべく選択されたメモリトランジスタを有するウエルには接地電位又は低電圧を印加するとともに該選択されたメモリトランジスタのゲート電極にはプログラム電圧 V_{PP} を印加し、前記メモリトランジスタとウエルを共通にする情報の書き込みを行なわない非選択のメモリトランジスタのゲート電極には情報の書き込みが行なわれない範囲内の高い電圧 V_{WP} を印加し、前記選択されたメモリトランジスタと上記配線の1つを共通にする非選択のメモリトランジスタのウエルには $(V_{PP} - V_{WP})$ 以上の電圧を印加するようにしている。

【0007】

【作用】このような構成によると、メモリセルはゲートの配線とウエルのマトリクスから選択されるので、書き込みや消去を各メモリセルごとに行なうことができる。また、選択用のトランジスタが存しないので、各メモリセルが縮小されるとともに配線数も少なくなる。

【0008】

【実施例】本発明を実施した図1において、W1～W4は互いに分離されたウエルであり、各メモリセルはメモリトランジスタT11～T44のみで構成されており、従来例で用いられていたような選択用トランジスタは存在しない。各ウエルW1～W4にはメモリトランジスタがY方向に並んでいる。Y1～Y4はウエルW1～W4

3

に關しX方向に並んだメモリトランジスタのゲート電極に共通なゲート制御配線である。1は書き込み時に前記ウエルW1、W2、W3、W4ごとに電圧を与える書き込み用のX・デコーダであり、2は書き込み時及び読み出し時にゲート制御配線Y1、Y2、Y3、Y4ごとに電圧を与えるY・デコーダである。また、3は読み出し時にウエルW1、W2、W3、W4ごとに電圧を与える読み出し用のX・デコーダである。

【0009】D1～D4はドレイン用の配線であり、Sは全メモリトランジスタに共通に接続されたソース用の配線である。このように本実施例では配線Y1～Y4とウエルW1～W4は互いに直交しメモリ・マトリクスを構成している。

【0010】図2、図3は前記ウエルW1～W4を互いに分離する構造例を示しており、図2はn型の半導体基板11の上部に形成されたPウエル層を酸化膜よりなるトレンチ12a～12cで分離した場合を示している。ここで、13はウエル内に形成されたソース領域、14はドレイン領域であり、15はゲート電極、16はSiO₂の酸化膜、17はSiNの窒化膜である。一方、図3は図2のトレンチ12a～12cの代わりにn型の基板11に独立に形成した各PウエルW1～W4と基板11とのPN接合を逆バイアスすることによりウエルW1～W4を分離しており、上方にはフィールド酸化膜18a～18eが図示の如く設けられている。他の部分は図2と同一である。

【0011】次に図示の半導体装置の書き込みにおける各メモリトランジスタT11～T44に対する印加電圧動作について図4を参照しながら説明する。今、メモリセル5に書き込みを行なうものとする。この場合、まずウエルW2に接地電位（又は低電圧）を与え、ゲート制御配線Y2に図4に示すようなプログラム電圧VPPを印加する。すると、メモリセル5のメモリトランジスタT22のゲート電極とウエルW2間には高電界が発生し電子が基板11から注入され窒化膜17にトラップされる。これにより、メモリセル5に対する書き込み状態が実現される。

【0012】非選択のメモリセル、例えば選択されたメモリセル5とウエルW2を共通にするメモリセル8のゲート電極にはゲート制御配線Y1を介して図4に示す電圧VWPをかける。この電圧VWPは書き込みが起らない範囲の最大の電圧であるが、必ずしもその値に選ぶ必要はなく、VWPよりやや低い電圧であってもよい。いずれにしても、この電圧VWPではメモリセル8のメモリトランジスタT12のゲート電極とウエルW2間に生じる電界は弱く、電子の注入は生じない。従って、電子のトラップもないので、記憶状態は生じない。

【0013】次にメモリセル10のように前記選択メモリセル5とウエルは異にするがゲート制御配線Y2を共

4

通にする非選択のメモリセルはゲート電極とウエル間の電位差（VPP-X）がVPP-X≤VWPなる電圧X、即ちX≥VPP-VWPなる電圧をかけておく。

【0014】このようにすると、選択されたメモリセル5とウエルもゲート制御配線も共通にしない他の非選択のメモリセル9等に対して、

$$VWP - (VPP - VWP) = (2VWP - VPP)$$

なる電位差がかかるが、これが-VWN～VWPの範囲にあれば、書き込み、消去のいずれにおいても誤動作は生じない。尚、図4によれば（2VWP-VPP）はほぼ0Vになる。以上の書き込み動作において各メモリセルのメモリトランジスタのソース領域・ドレイン領域には電圧を印加する必要がなく、オープン状態のままでよい。

【0015】以上において、主として書き込み動作について述べたが、消去の場合も同様にゲート制御配線とウエルの電圧を選ぶことでメモリセルの完全な選択と非選択が行なえる。

【0016】

【発明の効果】以上説明したように本発明によれば、メモリセルはゲートの配線とウエルのマトリクスから選択されるので、書き込みや消去を各メモリセルごとに行なうことができる。また、選択用のトランジスタが存しないので、各メモリセルが縮小されるとともに配線数も少なくなるという効果があり、本発明は極めて有用である。

【図面の簡単な説明】

【図1】 本発明を実施した半導体装置の回路結線図。

【図2】 そのウエルを複数に分割する構造例を示す図。

【図3】 同じくウエルを複数に分割する他の構造例を示す図。

【図4】 メモリトランジスタのゲートとウエルに印加する電圧関係を説明するための図。

【図5】 従来例の回路結線図。

【図6】 他の従来例の回路結線図。

【符号の説明】

W1～W4 ウエル

Y1～Y4 ゲート制御配線

T11～T44 メモリトランジスタ

11 半導体基板

12a～12c トレンチ

13 ソース領域

14 ドレイン領域

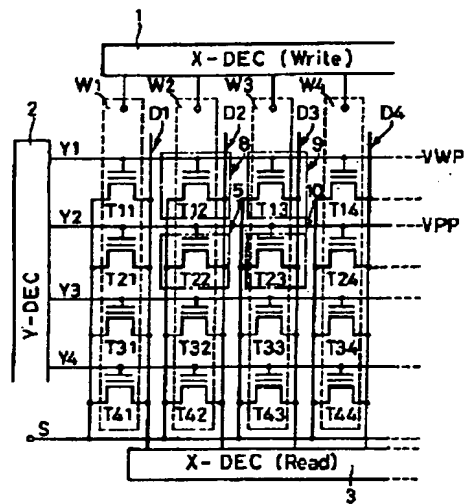
15 ゲート電極

16 酸化膜

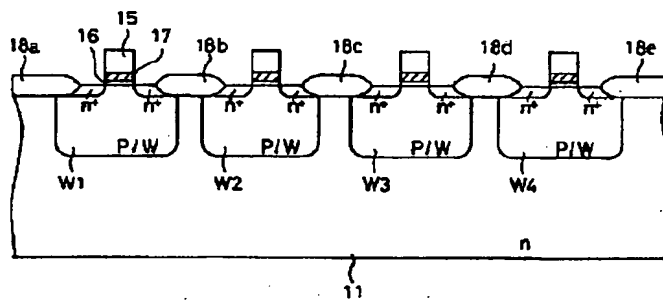
17 窒化膜

18a～18c フィールド酸化膜

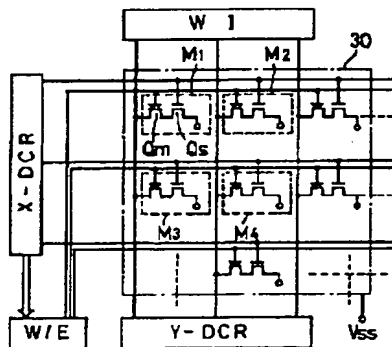
【図1】



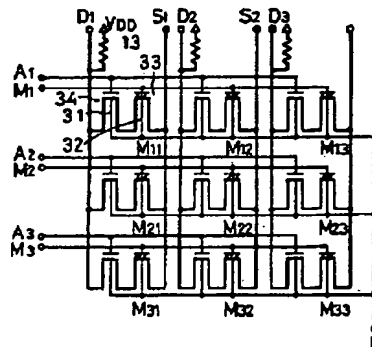
【図3】



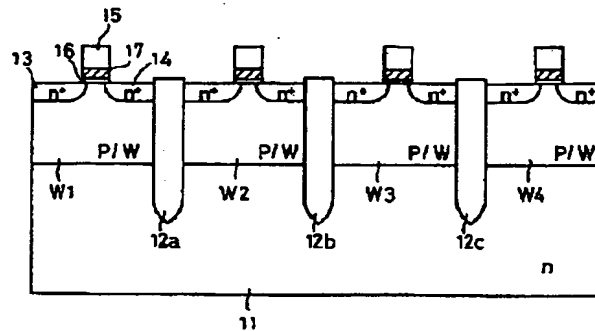
【図5】



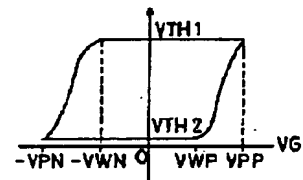
【図6】



【図2】



【図4】



フロントページの続き

(51) Int. Cl.⁵

H01L 29/788

29/792

識別記号

庁内整理番号

F I

技術表示箇所

(5)

特開平4-352362

8225-4M

1101L 29/78

371